CC41C Introducción al Hardware
Examen - Primavera 2011
Profesor: Luis Mateu

Pregunta 1

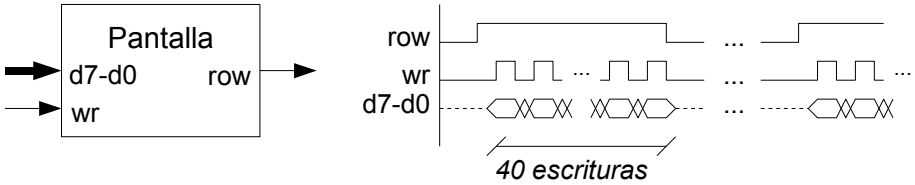
Se desea agregar la instrucción JMPEQ a M32:

Notación Assembler	*Formato instrucción*	*Significado*
JMPEQ r5, *r7*, *label*	31 24 18 14 12 0 JMPEQ | *5* | *7* | 1 | *imm* 23 19 13	*if (r5 == r7)* *PC = PC + imm*
JMPEQ *r8, r11, r13*	31 24 18 14 12 8 JMPEQ | *8* | *11* | 0 | *13* | [ ] 23 19 13 7 0	*if (r8 == r11)* *PC = PC + r13*

Explique por qué no es posible implementar esta instrucción con el actual diseño de M32. Haga los cambios que sean necesarios y luego especifique ciclo por ciclo las señales de control que son necesarias para ejecutar JMPEQ. Observe que r5 (o r8) aparece codificado en los bits 23 a 19, lugar que usualmente se usa para codificar el registro de destino en las instrucciones aritméticas.

Pregunta 2

Ud. dispone de una pantalla gráfica de 320x240 pixels monocromática y sin niveles de gris. Esto significa que cada pixel requiere 1 solo bity una fila completa (320 pixels) 40 bytes. La siguiente figura muestra las entradas y salidas de esta pantalla.



La pantalla necesita redibujar constantemente su imagen y por eso activa cada cierto tiempo su salida ROW para solicitar que se le envíen los 40 bytes de una fila. De acuerdo al diagrama de tiempo, cada byte se suministra en d7-d0 mientras se activa WR. En total ROW se activa 240 veces por cada cuadro.

(a) Diseñe una interfaz para esta pantalla con el bus de un microcontrolador con direcciones de 16 bits y datos de 8 bits. Decida Ud. que puertos de E/S necesita. Conecte la línea ROW a la línea INT del microcontrolador.

(b) Programe en C la rutina de atención que en cada interrupción envía los 40 bytes de una fila. En la siguiente interrupción los 40 bytes de la fila siguiente. Al completar los 9600 bytes de un cuadro completo (240 interrupciones), comience de nuevo con la primera fila. Especifique las variables globales que necesita.

Pregunta 3

(a) La figura muestra un extracto del contenido de un *cache* de 128 KB de 2 grados de asociativad y líneas de 16 bytes. El computador posee un bus de direcciones de 20 bits. El cache se organiza en 2 bancos, cada uno con 4096 líneas. Por ejemplo en la línea 4f2 (en hexadecimal) del banco izquierdo se almacena la línea de memoria que tiene como etiqueta 04f2 (es decir, la línea que va de la dirección 04f20 en hexadecimal a la dirección 04f2f).

línea cache	Banco 1 etiqueta	Banco 1 contenido	Banco 2 etiqueta	Banco 2 contenido
301	4301		2301	
4f2	04f2		a4f2	
c36	dc36		1c36	

Un programa accede a las siguientes direcciones de memoria: a4f28, dc360, 53014, 2301c, 1c360, ec368, 84f20, dc36c. Conteste (i) cuál es la porción de la dirección que se usa como *etiqueta*, (ii) cuál es la porción de la dirección que se usa para indexar *el cache*, y (iii) qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos, mostrando un posible estado final del cache.

(b) La figura muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador con un diseño en *pipeline*. Se le pide (i) indicar en qué momento se usa *register bypassing* (ii) completar el diagrama para las 7 instrucciones (iii) rehacer el diagrama para una arquitectura superescalar de grado 2 (iv) rehacer el diagrama para una arquitectura con ejecución fuera de orden de grado 2 (v) indicar en qué momento es crucial el *renombre de registros*.

		1	2	3	4	5	6	7	8	9	10	...
a.-	ADD R5, R6, R7	F	D	E	S							
b.-	SUB R8, 4, R9		F	D	E	S						
c.-	ADD R9, 4, R10			F	D	E	S					
d.-	LOAD [R10+8], R11				F	D	E	M	M	M	S	
e.-	ADD R5, 20, R12					.	.	.				
f.-	SUB R11, 4, R13											
g.-	ADD R1, R2, R11											