

CC41C Introducción al Hardware
Examen - Otoño 2007
Profesor: Luis Mateu

Pregunta 1

Ud. dispone del teclado de la figura, que está organizado como una matriz de 16 columnas de 6 teclas cada una. Para leer el estado de un columna completa (6 teclas) se suministra como entrada en **c3-c0** el número de la columna. El teclado entrega en **k5-k0** el estado de las 6 teclas pertenecientes a la columna. No es posible leer 2 columnas al mismo tiempo.



Parte a.- Construya una interfaz para este teclado considerando un microcontrolador con un bus de direcciones de 16 bits y bus de datos de 8 bits. Su interfaz debe poseer 16 puertos de entrada en las direcciones 0xFF00 a 0xFF0F (en hexadecimal). Cada uno de estos puertos sirve para leer una columna del teclado. No implemente KBD (es un dato del problema).

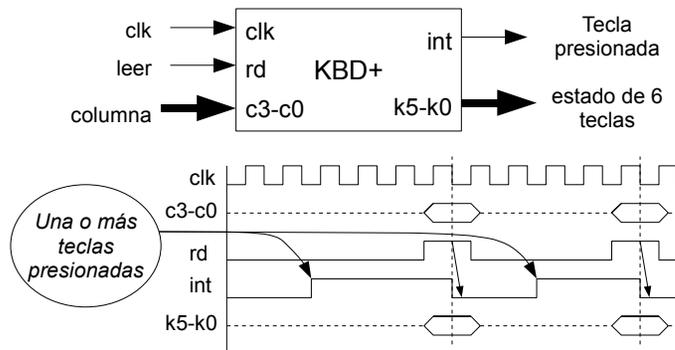
Parte b.- Programe la rutina:

```
int consultarTecla(int fila, col);
```

que entrega verdadero si la tecla de coordenadas (*fila, col*) está presionada.

Pregunta 2

Se desea construir un teclado KBD+ que sea capaz de interrumpir al microcontrolador cuando el usuario presiona una tecla. Las entradas y salidas de KBD+ son:



Como muestra el diagrama de tiempo, KBD+ debe mantener las líneas **k5-k0** en tristate y sólo activarlas cuando la línea **rd** se coloca en 1. Cuando KBD+

detecta que el usuario ha presionado una tecla, coloca la línea **int** en 1 hasta que se lea alguna columna.

Implemente KBD+ usando como base el mismo teclado KBD dado en la pregunta 1. Utilice multiplexores, registros, sumadores, compuertas tristate, etc. Si necesita un circuito secuencial, sólo especifique su diagrama de estados, no lo implemente.

Resuelva este problema barriendo cíclicamente las columnas del teclado para descubrir si una tecla fue presionada. Cuando se active la línea **rd**, ignore la columna por barrer en ese instante y lea prioritariamente la columna cuyo número aparece en **c3-c0**, para entregar su estado en **k5-k0**. La columna ignorada puede ser barrida en la vuelta siguiente, pues el usuario no percibirá la diferencia.

Pregunta 3

Parte a.- La figura muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador. Indique si es aplicable (i) tipo de arquitectura, (ii) instantes en que se usa register bypassing, (iii) instantes en que se usa renombre de registros. Además, (iv) complete el diagrama y (v) rehaga el diagrama para una arquitectura de tipo superescalar de grado 2.

		1	2	3	4	5	6	7	8	9	10	...
a.-	ADD R5, R6, R7	F	D	E	S							
b.-	SUB R8, 4, R9		F	D	E	S						
c.-	ADD R9, 4, R10			F	D	E	S					
d.-	LOAD [R10+8], R11				F	D	E	M	M	M	S	
e.-	ADD R5, 20, R12					.	.	.				
f.-	SUB R11, 4, R13											
g.-	ADD R1, R2, R3											

Parte b.- La siguiente es una secuencia de direcciones de memoria (en hexadecimal) leídas por un procesador con una memoria cache de 4 KB (2¹² bytes) de un grado de asociatividad:

5F30 6D18 5F30 7F30 6D10 7F30 5F30 6D10

El cache posee líneas de 16 bytes. Suponga que el cache está inicialmente vacío. Conteste (i) cuál es la porción de la dirección que se usa como *etiqueta*, (ii) cuál es la porción de la dirección que se usa para indexar el cache, y (iii) qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos.