

Pregunta 1

Se desea agregar la instrucción SWAP a M32:

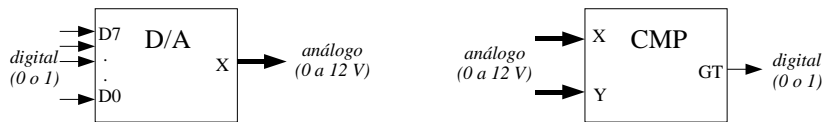
Notación Assembler	Formato instrucción	Significado
SWAP [reg1 + imm], regd		aux= Mem[reg1+{imm}reg2] Mem[reg1+{imm}reg2]= regd
SWAP [reg1 + reg2], regd		regd= aux

La instrucción SWAP intercambia el valor de un registro con el de una palabra en memoria.

- (a) Explique por qué no es posible implementar esta instrucción con el actual diseño de M32.
- (b) Modifique ligeramente M32 de tal forma que sí se pueda implementar SWAP, especificando componentes y señales de control adicionales (redibuje sólo la parte de M32 que cambia).
- (c) Especifique ciclo por ciclo las señales de control que son necesarias para ejecutar SWAP (no es necesario que especifique las señales para la carga de la instrucción y la decodificación).

Observación: La señal de control RD-DEST (de R-SEL) controla si el registro *regd* se va a leer (caso 1) o escribir (caso 0).

Pregunta 2



La figura muestra un conversor digital/análogo (D/A) y un comparador (CMP). El conversor digital/análogo recibe como entrada un número entero binario en D7-D0 (entre 0 y 255) y entrega en X una señal análogica consistente en un voltaje entre 0 y 12V proporcional al valor de la entrada. El comparador recibe dos valores analógicos X e Y y los compara entregando un valor binario 1 que indica que X>Y o 0 en caso contrario.

(a) Diseñe e implemente una interfaz de entrada/salida para ambas componentes. Considere un microprocesador con bus de datos de 8 bits y un bus de direcciones de 16 bits. Haga que al escribir en la dirección 0xffff se establezca la entrada del conversor D/A (preocúpese que esta entrada se mantenga constante hasta que se reescriba un nuevo valor) y al leer en la misma dirección se lea la salida GT de CMP. La señales X e Y salen del sistema para ser conectadas por el usuario.

(b) Explique cómo un usuario puede usar estas componentes para convertir una señal analógica entre 0 y 12V en un valor binario entre 0 y 255. Escriba en C la rutina `convertirAD()` que hace esta conversión (busque la simplicidad en esta rutina y no la eficiencia).

Pregunta 3

		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
a.-	ADD R1, 4, R1	F	D	A	E	S										
b.-	LDW [R2+8], R3	F	D	A	E	M	M	M	M	S						
c.-	OR R1, 255, R4		F	D	A	E	S									
d.-	ADD R4, 1, R2		F	D	A		E	S								
e.-	CMP R3, 0			F	D	A						E				
f.-	BNE a.-			F	D	A							E			
a'.	ADD R1, 4, R1				F	D	A							E	S	
b'.	LDW [R2+8], R3				F	D	A							E	M	S

La figura muestra ciclo por ciclo la ejecución de varias instrucciones en un procesador. Su arquitectura física debe deducirla Ud.

- (a) Indique en qué momentos se recurre (si es que se recurre) a las siguientes técnicas: *register bypassing*, *register scoreboarding*, predicción de saltos, ejecución superescalar y renombre de registros.
- (b) Rehaga la figura considerando un procesador de similares características pero con *ejecución fuera de orden* y *ejecución especulativa*. Explique además en qué momentos se recurre a renombre de registros y ejecución especulativa. No olvide agregar la fase de retiro en el *pipeline*.