

CC41C Introducción al Hardware
Control 2 - Otoño 2008
Profesor: Luis Mateu

Pregunta 1

Parte a.- El siguiente es un programa en assembler x86 que ordena un arreglo de n enteros. Escriba el programa *equivalente* en C sin usar la instrucción **goto** de C. Preocúpese de *reproducir* en C todos los aspectos del programa original en assembler (75%).

<pre>p: pushl %ebp movl %esp, %ebp pushl %esi pushl %ebx movl 8(%ebp), %ebx movl 12(%ebp), %esi .L2: movl \$0, %edx cmpl %esi, %edx jge .L6 .L9: movl (%ebx,%edx,4), %ecx cmpl 4(%ebx,%edx,4), %ecx jle .L7</pre>	<pre>movl 4(%ebx,%edx,4), %eax movl %eax, (%ebx,%edx,4) movl %ecx, 4(%ebx,%edx,4) jmp .L6 .L7: incl %edx # %edx= %edx+1 cmpl %esi, %edx jl .L9 .L6: cmpl %esi, %edx jl .L2 popl %ebx popl %esi popl %ebp ret</pre>
--	---

Parte b.- Corrija el error que contiene este programa en el assembler. Para ello indique las instrucciones en assembler que deben ser cambiadas y las instrucciones *en assembler* por las que se deben reemplazar (25%).

Pregunta 2

Un procesador tiene un bus de datos de 8 bits, un bus de direcciones de 16 bits y cuando se enciende la primera instrucción en ejecutarse es la que está en la dirección 0xfff0. Ud. dispone de 4 chips de memoria SRAM cada uno de 32 K x 4 (2¹⁵ palabras de 4 bits, lo que hace un total de 16 KB) y un solo chip de memoria ROM de 4K x 8.

Use estas componentes para diseñar un computador que permita direccionar el máximo de memoria SRAM *que sea posible* y que en la partida ejecute instrucciones de la ROM. Especifique el rango de direcciones para la SRAM y el rango de direcciones para la ROM. Luego haga el diagrama circuital de este computador mostrando el procesador, SRAM, ROM, buses de datos, dirección y control, más toda la lógica adicional que se requiera para seleccionar, leer y escribir adecuadamente los módulos de memoria.

Pregunta 3

A continuación se indican 8 conjuntos de transferencias entre registros para el diseño actual de M32. Considerando cada uno de estos conjuntos en forma *independiente*, señale cuáles de ellos se pueden llevar a cabo *en un solo ciclo del reloj* y cuáles no. Si un conjunto de transferencias es válido indique las señales de control necesarias para realizarlas. Cuando un conjunto no es válido explique por qué (no necesita dar las señales de control).

1	AR = PC ; PC = PC+4
2	PC = 4 ; AR = 4
3	R1 = PC cuando IR contiene la instrucción ADD R2, R3, R1 (R1= R2+R3)
4	PC = R1 + R3 cuando IR contiene ADD R2, R3, R1
5	R1 = PC + R2 cuando IR contiene ADD R2, R3, R1
6	IR = R2 + R3 cuando IR contiene ADD R2, R3, R1
7	PC = Mem[AR]
8	R1 = R2 + R3; IR= Mem[AR] cuando IR contiene ADD R2, R3, R1

Observaciones:

- No intente encontrar un sentido a estas transferencias.
- Recuerde que AR e IR son *latches*.