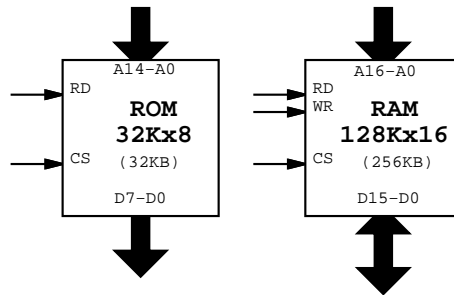


CC41C : Introducción al Hardware
Control 2–Semestre Otoño'2001
Prof.: Luis Mateu.

Pregunta 1

Diseñe un sistema de memoria con 1 MB de RAM y 64 KB de ROM para un computador basado en el microprocesador 386SX. Este microprocesador tiene un bus de datos de 16 bits y un bus de direcciones de 24 bits. Para mantener la compatibilidad con los PCs basados en el microprocesador 8088, la región ubicada entre los 640 KB y 1 MB está reservada para los dispositivos y la memoria ROM.

Por esta razón Ud. debe ubicar parte de la memoria RAM en las direcciones [0,640KB[y el resto en [1 MB,1 MB+384KB[. La memoria ROM debe direccionarse en [1 MB - 64KB,1 MB[. Para implementar esta memoria Ud. dispone de 4 chips de memoria RAM estática de 256 KB (organizados como chips de 128K por 16 bits) y 2 chips de memoria ROM de 32 KB (organizados como chips de 32K por 8 bits). La siguiente figura muestra las entradas y salidas de estos chips de memoria :



Considere que el bus de la 386SX posee las señales A23-A1, D15-D0, RD, WR y CLK. La memoria no necesita incluir ciclos de espera y el microprocesador siempre realiza accesos a palabras completas de 16 bits.

Si su solución requiere de circuitos combinacionales o secuenciales, especifique solamente las entradas, salidas y la tabla de verdad o el diagrama de estados (sin implementarlos).

Pregunta 2

Se desea agregar la instrucción LDWx2 a M32. Esta instrucción lee de la memoria 2 palabras consecutivas dejándolas en 2 registros. Por ejemplo :

LDWx2 [R7], R5, R10 ; R5<-MEM[R7], R10<-MEM[R7+4]

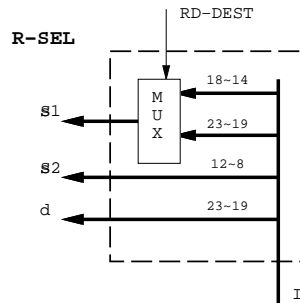
La instrucción LDWx2 especifica (a) un registro que contiene la dirección que sirve de base para leer dos palabras consecutivas en la memoria (R7 en

el ejemplo), (b) un registro en donde dejar la primera palabra (R5), y (c) un registro en donde dejar la segunda palabra (10).

La siguiente figura muestra la codificación de la instrucción LDWx2 en comparación con la codificación de ADD y LDW.

LDWx2 [R7],R5,R10	<table style="border-collapse: collapse; margin: 0 auto;"> <tr> <td style="border: none; padding: 0 5px;">31</td> <td style="border: none; padding: 0 5px;">23</td> <td style="border: none; padding: 0 5px;">18</td> <td style="border: none; padding: 0 5px;">12</td> <td style="border: none; padding: 0 5px;">8</td> </tr> <tr> <td style="border: none; padding: 0 5px;">@LDWx2</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">10</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">7</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">5</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">5</td> </tr> </table>	31	23	18	12	8	@LDWx2	10	7	5	5	R5 ← MEM[R7], R10 ← MEM[R7+4]
31	23	18	12	8								
@LDWx2	10	7	5	5								
ADD R7,R5,R10	<table style="border-collapse: collapse; margin: 0 auto;"> <tr> <td style="border: none; padding: 0 5px;">@ADD</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">10</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">7</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">0</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">5</td> </tr> </table>	@ADD	10	7	0	5	R10 ← R7+R5					
@ADD	10	7	0	5								
LDW [R7+112],R10	<table style="border-collapse: collapse; margin: 0 auto;"> <tr> <td style="border: none; padding: 0 5px;">@LDW</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">10</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">7</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">1</td> <td style="border: 1px solid black; padding: 2px 5px; text-align: center;">112</td> </tr> </table>	@LDW	10	7	1	112	R10 ← MEM[R7+112]					
@LDW	10	7	1	112								
	<table style="border-collapse: collapse; margin: 0 auto;"> <tr> <td style="border: none; padding: 0 5px;">24</td> <td style="border: none; padding: 0 5px;">19</td> <td style="border: none; padding: 0 5px;">14</td> <td style="border: none; padding: 0 5px;">0</td> </tr> </table>	24	19	14	0							
24	19	14	0									

- i. Explique por qué no se puede implementar esta instrucción con el actual diseño de M32. Es decir explique por qué no existe ninguna secuencia de señales que pueda aplicar la unidad de control para implementar LDWx2.
- ii. En el diseño actual de M32, el módulo R-SEL se implementa de la siguiente manera:



¿Cómo modificaría este circuito para que se pueda implementar LDWx2? Agregue señales de control si es necesario.

- iii. Utilizando el nuevo R-SEL, indique ciclo por ciclo las señales de control necesarias para ejecutar LDWx2 (no incluya la fase de fetch ni la fase de decodificación). Indique además para cada ciclo las transferencias entre registros que se realizan.